

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-229671

(43)Date of publication of application : 25.08.1998

(51)Int.Cl.

H02M 1/08

H01L 29/78

H03K 17/16

(21)Application number : 09-032225

(71)Applicant : FUJI ELECTRIC CO LTD

(22)Date of filing : 17.02.1997

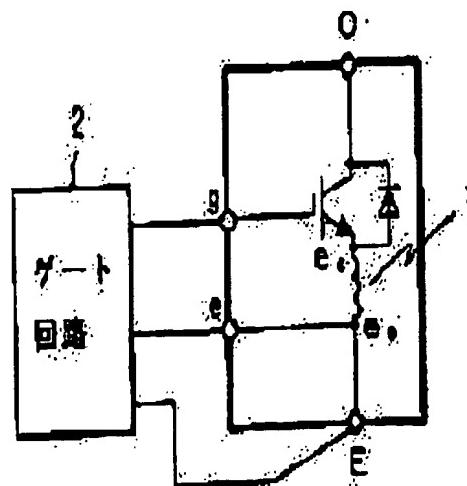
(72)Inventor : TAKIZAWA AKITAKE
TAKEI MANABU

(54) IGBT MODULE AND GATE DRIVE CIRCUIT THEREOF

(57)Abstract

PROBLEM TO BE SOLVED: To further reduce di/dt at turning off of a switching element, such as an IGBT(insulated gate bipolar transistor), etc.

SOLUTION: A counter electromotive voltage is generated, the sudden drop in the voltage between the gate and the emitter of an IGBT chip is suppressed, and the rate of change di/dt of a collector current is gentled further, by connecting an inductor 1 between an emitter part ec of the IGBT chip and an junction e0 between gate-emitter emitter main terminal electrode E of an IGBT module, an auxiliary terminal electrode e, and the emitter part ec of the IGBT chip.



document D1

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-229671

(43)公開日 平成10年(1998)8月25日

(51)InLCl.
H02M 1/08
H01L 29/78
H03K 17/16

種別記号
351

F I
H02M 1/08 351Z
H03K 17/16 F
H01L 29/78 657C

審査請求 未請求 請求項の数 5 OL (全 6 頁)

(21)出願番号 特願平9-32225

(71)出願人 000005234

富士電機株式会社

神奈川県川崎市川崎区田辺新田1番1号

(22)出願日 平成9年(1997)2月17日

(72)発明者 滝沢 雄哉

神奈川県川崎市川崎区田辺新田1番1号

富士電機株式会社内

(72)発明者 武井 学

神奈川県川崎市川崎区田辺新田1番1号

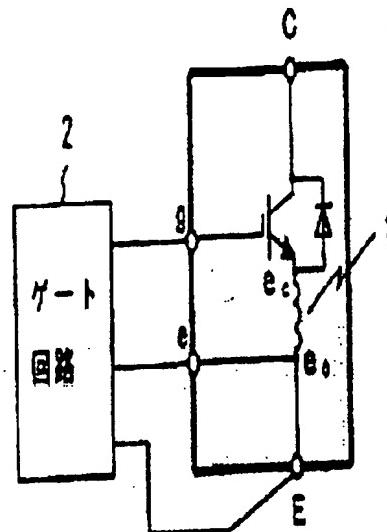
富士電機株式会社内

(74)代理人 弁理士 松崎 浩

(54)【発明の名称】 IGBTモジュールとそのゲート駆動回路

(57)【要約】

【課題】 IGBT等のスイッチング素子のターンオフ時における dV/dt のより一層の低減化を図る。
 【解決手段】 IGBTチップのエミッタ部 e_0 と、IGBTモジュールのエミッタ主端子電極 E 、補助端子電極 e_1 とIGBTチップのエミッタ部 e_0 との接続点 e_0 との間にインダクタ I を接続することで、素子のターンオフ時に逆起電圧を発生させ、IGBTチップのゲート-エミッタ間電圧の急激な低下を抑え、コレクタ電流の変化率 dI/dt を一層緩やかにする。



【特許請求の範囲】

【請求項 1】 IGBT チップの各部から各端子電極に配線が施され、ターンオフする際にゲート端子電極に電荷が注入される IGBT モジュールにおいて、

IGBT チップのエミッタ主端子電極と補助端子電極を IGBT チップのエミッタ部へそれぞれ接続する両記録の接合点と、 IGBT チップのエミッタ部との間にインダクタを接続したことを特徴とする IGBT モジュール。

【請求項 2】 绝縁ゲートバイポーラトランジスタ (IGBT) チップの各部から各端子電極に配線が施され、ターンオフする際にゲート端子電極に電荷が注入されるとともに、エミッタ主端子電極と補助端子電極を IGBT チップのエミッタ部へそれぞれ接続する両記録の接合点と IGBT チップのエミッタ部との間にインダクタを接続した IGBT モジュールと、その駆動回路とからなることを特徴とする IGBT モジュールの駆動回路。

【請求項 3】 绝縁ゲートバイポーラトランジスタ (IGBT) チップの各部から各端子電極に配線が施され、ターンオフする際にゲート端子電極に電荷が注入される IGBT モジュールにおいて、

IGBT モジュールのゲート端子電極と IGBT チップのゲート部との間、または IGBT モジュールのエミッタ補助端子電極と IGBT チップのエミッタ部との間に少なくとも一方にインダクタを接続したことを特徴とする IGBT モジュール。

【請求項 4】 绝縁ゲートバイポーラトランジスタ (

IGBT) チップの各部から各端子電極に配線が施され、とともに IGBT チップの各端子電極に配線が施され、ともに、またはエミッタ補助端子電極と IGBT チップのエミッタ部との間に少なくとも一方にインダクタを接続した IGBT モジュールと、その駆動回路とからなることを特徴とする IGBT モジュールの駆動回路。

【請求項 5】 绝縁ゲートバイポーラトランジスタ (IGBT) チップの各部から各端子電極に配線が施され、ターンオフする際にゲート端子電極に電荷が注入される IGBT モジュールと、その駆動回路とからなる IGBT モジュールのゲート駆動回路において、

前記駆動回路と IGBT モジュール間にインダクタを接続したことを特徴とする IGBT モジュールのゲート駆動回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、インバータなどの電力変換装置を構成する IGBT (絶縁ゲートバイポーラトランジスタ) のモジュール構成、およびそのゲート駆動回路に関する。

【0002】

【従来の技術】 一般に、IGBT がターンオフする際、コレクタ電圧 i_c は高い電流変化率 ($d i / d t$) を伴って変化するため、IGBT には下記 (1) 式に示すように、スパイク状の高電圧が印加される。そのため、インバータなどを構成するときは、(1) 式に見合う電圧定格を持つ IGBT が必要になる。

… (1)

【0003】 図 6 のターンオン時に、IGBT のオン指令信号によりスイッチ 13 がオンすると、電源より抵抗 11 を介して電流が流れるとともに、IGBT のゲート電圧 1 が充電され、IGBT がターンオンする。一方、ターンオフ時に、オフ指令信号によりスイッチ 14 がオンすると、電源 10 より抵抗 12 を介して電流が流れ、IGBT のゲート電圧 1 が放電され、IGBT がターンオフする。

【0005】 また、図 6 のブロック 15 はインダクタ 16 (一般に、IGBT モジュール内の記録インダクタタンス (後述する図 8 の e - E 間を参照) を利用する) に発生する電圧により、IGBT のターンオフ時の $d i / d t$ の大きさを検出する検出回路である。また、17 は FET、18 はコンデンサであり、検出回路 15 の出力信号のレベルが FET のしきい値以上になったとき、すなわち IGBT のターンオフ時の $d i / d t$ の大きさが或る閾値以上になったとき、FET 17 をオンさせ、IGBT のゲートに抵抗 19 を介してコンデンサ 18 の蓄積電荷を注入する。このとき、図 7 に矢印で示すような電圧が流れ、この動作により IGBT のゲート・エミッタ間の電圧は一時的にその減少を緩める (IGBT

$$V_{CE} = Ed + L \cdot di/dt$$

V_{CE} : IGBT のコレクタ・エミッタ電圧
Ed : インバータの直流電源電圧
L : 直流電源電圧と IGBT 間の記録インダクタタンス
 di/dt : ターンオフ時の電流変化率

以上のことから、IGBT に印加される電圧を考慮すると、コレクタ電流減少期間中は、その di/dt が低減されていることが望ましい。図 4 にコレクタ電流 i_c の減少率 (di/dt) が急峻な場合を示し、図 5 に比較的緩やかな場合を示す。

【0003】 図 6 にこのような構造にもとづくゲート駆動回路の従来例を示す。同回において、6 はメインバスである IGBT、7 はフォトカプラ (PC) などの絶縁器、8 はフォトカプラの出力信号を增幅する増幅回路 (AMP)、9 はターンオン時ににおける IGBT 容量充電用の電源、10 は同じくターンオフ時ににおける放電用の電源、11 はオン用のゲート抵抗、12 はオフ用のゲート抵抗、13 および 14 は増幅回路 8 の出力信号に基づきスイッチングを行なうスイッチ (一般的にはトランジスタまたは FET (電界効果トランジスタ) 等) である。

Tの入力寄生の放電を遅くする）。その結果、ターンオフ時の $d i / dt$ は低下する方向に動作することになる。以上のことから、この種のゲート駆動回路は、IGBTがターンオフする際にIGBTのゲートに電荷の注入を行なうことにより、低 $d i / dt$ 化を実現するものと見える。

【0006】図8にIGBTモジュールの内部構成を示す。同図において、20はIGBT素子とダイオードからなるIGBTチップで、このチップのコレクタ、ゲート、エミッタをそれぞれcc、gc、eeとし、またIGBTモジュールの主コレクタ端子電極、主エミッタ端子電極、ゲート端子電極、補助エミッタ端子電極をそれぞれC、E、G、eで示す。このように、一般的なIGBT

モジュールの各電極はIGBTチップと金属フスバーによって配線されており、その配線長は概ね数cm程度である。図8中のeeとe0との間はごく短い配線（短絡配線）とされているのが一般的である。

【0007】

【発明が解決しようとする課題】

(1) 図8ではeeとe0間に短絡配線されていることから、eeとe0間に記録インダクタンス値を「0」とすると、コレクタ電圧下限におけるIGBTチップのゲート・エミッタ間に印加される電圧 v_{gc-ec} と、モジュールの電極のゲート・エミッタ間に印加される電圧 v_{g-e} との間には、次の(2)式に示すような関係があり、両者はほぼ等しくなる。

$$v_{gc-ec} = v_{g-e} - (L_g + L_e) \cdot d_i g / dt \quad \cdots (2)$$

$$v_{g-e} = (d_i g / dt) \neq 0$$

$L_g, L_e : e - ee$ 間、 $e - e0$ 間の記録インダクタンス

i_g : ゲート電流

その結果、 $e - ee$ 間に印加する電圧に対応して $ee - e$ 間に発生する電圧の応答が速くなるため、IGBTの入力寄生は速やかに放電(短時間で v_{gc-ec} が低下)されることとなり、IGBTはこれらの動作に伴って速やかにターンオフする。そのため、図5のような駆動回路で電荷の注入を実施し、 v_{gc-ec} の電圧低下の抑制を図っても、その効果が少なくなるという第1の課題を有することになる。

【0008】(2)また、図7に矢印で示すような経路で流れれる電流は、抵抗1Ω、コンデンサ1μFおよび経路内の記録インダクタンス(具体的には $e - ee$ 間および $e - e0$ 間の記録インダクタンス)による駆動遮波となる。ところで、図7に矢印で示すような経路で流れれる駆動電流は、そのピーク値付近、すなわち注入電荷量が多い時が、最も良く $d i / dt$ の底減効果が得られるタイミングであるといえる。ところが、経路内のインダクタンス分が $e - ee$ 間および $e - e0$ 間の記録インダクタンスのみ(前述の通り、 $e - ee$ 間および $e - e0$ 間の記録は數cm程度であるため、そのインダクタンスは概ね數0.1ナノヘンリー(nH)である)の場合、コレクタ電流の下降時間に比べ、一般にその駆動周期は長い。そのため、コレクタ電流の下降現象と図7の回路による電荷の注入タイミングが合わなくななり(コレクタ電流の下降現象の初期段階で駆動電流はピークとなるため、電荷の注入を最も多くしたい下降現象の中間付近では、電荷の注入量は少なくなる)、 $d i / dt$ の底減効果が低下するという第2の課題を有することになる。図9(イ)にターンオフ時のコレクタ電流波形の例を、図9(ロ)に図7の矢印の経路で流れれる電流波形の例をそれぞれ示す。したがって、この発明の課題は上記第1、第2の課題を解消することにある。

【0009】

【課題を解決するための手段】特に、上記第1の課題を解決するため、請求項1の発明では、eeとe0間にインダクタを接続するようにしている。すなわち、ターンオフ時のコレクタ電流の下降期間中は、eeとe0間に接続されたインダクタには逆説電圧が発生するため、 $e - ee$ 間電圧の急激な低下は防げられ、コレクタ電流の下降期間が延びる。これにより、電荷を注入することによる一層の $d i / dt$ 底減化が可能となる。このようなIGBTに駆動回路を接続すれば、ゲート駆動回路を構成することができる(請求項2の発明)。

【0010】また、請求項3の発明では、 $e - ee$ 間、 $e - e0$ 間の少なくとも1カ所にインダクタを接続するようしている。かかるIGBTに駆動回路を接続すれば、ゲート駆動回路を構成することができる(請求項4の発明)。さらに、請求項5の発明では、ゲート回路とIGBTモジュールのゲート電極、補助エミッタ電極との間に少なくとも1カ所にインダクタを接続するようしている。請求項3～5の発明では、接続したインダクタによって図7に矢印で示す経路で流れれる電流の駆動周期が延び、 $d i / dt$ が最も急減となる付近でゲートに注入する電荷量をピークとすることができます。特に、上記第2の課題を解消することができる。

【0011】

【発明の実施の形態】図1はこの発明の第1の実施の形態を示す構成図である。これは、IGBTモジュールのエミッタ主端子電極Eと補助端子電極eをIGBTチップのエミッタ部eeへそれぞれ接続する両配線の接合点e0と、IGBTチップのエミッタ部eeとの間にインダクタ1を接続した例である。なお、2はIGBTモジュールをオン・オフさせるためのゲート回路である。

【0012】図2(イ)、(ロ)および(ハ)はこの発明の第2の実施の形態を示す構成図である。図2(イ)は、IGBTチップのゲート部eeとモジュールのゲート電極eとの間、およびIGBTチップのエミッタ部eeへの接合点e0とモジュールの補助エミッタ電極部e

との間に、それぞれインダクタ1A、1Bを接続した例である。図2(口)は、IGBTチップのエミッタ部e_cへの接合点e₀とモジュールの補助エミッタ電極e₀との間に、インダクタ1Bを接続した例である。また、図2(ハ)は、IGBTチップのゲート部e_gとモジュールのゲート電極e_gとの間に、インダクタ1Aを接続した例である。

【0013】図3(イ)、(ロ)および(ハ)はこの発明の第3の実施の形態を示す構成図である。図3(イ)は、ゲート回路2のゲート接続端子e_gとモジュールのゲート電極e_gとの間に、およびゲート回路2のエミッタ接続端子e_gとモジュールの補助エミッタ電極部e_cとの間に、それぞれインダクタ1C、1Dを接続した例である。図3(ロ)は、ゲート回路2のエミッタ接続端子e_gとモジュールの補助エミッタ電極部e_cとの間に、インダクタ1Dを接続した例である。図3(ハ)は、ゲート回路2のゲート接続端子e_gとモジュールのゲート電極e_gとの間に、インダクタ1Cを接続した例である。

【0014】すなわち、図1のようにすれば、ターンオフ時のコレクタ電流の下降期間中は、e_cとe₀間に接続されたインダクタ1には逆起電圧が発生するため、e_c-e₀間電圧の急激な低下が防げられ、コレクタ電流の下降期間が延びる。これにより、電荷を注入することによる一層のdi/dt低減化が可能となる。また、接続するインダクタ1A~1Dによって図7に矢印で示す経路で流れる電流の駆動周期が延び、di/dtが最も急減となる付近でゲートに注入する電荷量をピークとすることができる、上記第2の課題を解決することができる。

【0015】
【発明の効果】この発明によれば、ゲートに電荷を注入するゲート回路により駆動されるIGBTに適用するこ

とにより、ターンオフ時におけるdi/dtの一層の低減効果が得られる。その結果、IGBTに印加されるスパイク状の電圧も低減する。したがって、インバータなどの装置を構成する際、従来よりも電圧定格の低いデバイスの使用が可能になるため、装置の小型化、低コスト化が実現できる、などの利点が得られる。

【図面の簡単な説明】

【図1】この発明の第1の実施の形態を示す構成図である。

【図2】この発明の第2の実施の形態を示す構成図である。

【図3】この発明の第3の実施の形態を示す構成図である。

【図4】IGBTのコレクタ電流の減少が急峻な場合を示す波形図である。

【図5】IGBTのコレクタ電流の減少が比較的緩やかな場合を示す波形図である。

【図6】ゲート駆動回路の従来例を示す構成図である。

【図7】図6でIGBTターンオフ時に流れれる電流経路の説明図である。

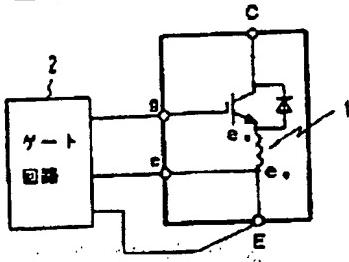
【図8】IGBTモジュールの内部結線を示す構成図である。

【図9】図6のIGBTモジュールを流れれる電流波形の説明図である。

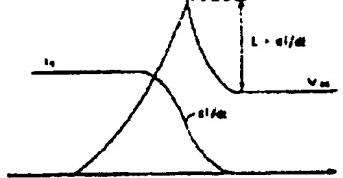
【符号の説明】

1, 1A~1D, 1G, L...インダクタ、2...ゲート回路、5...絶縁ゲートバイポーラトランジスタ(IGBT)、7...検出器(PC)、8...增幅器(AMP)、9, 10...電源、11...オン用のゲート抵抗、12...オフ用のゲート抵抗、13, 14...スイッチ、15...検出回路、17...FET、18...コンデンサ、19...抵抗、20...IGBTチップ。

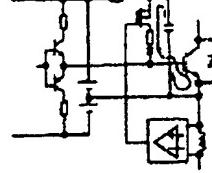
【図1】



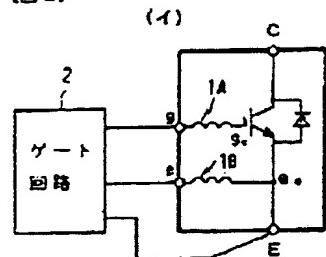
【図4】



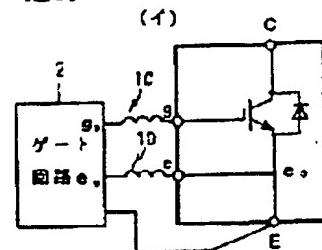
【図7】



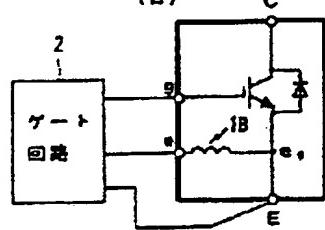
(图 2)



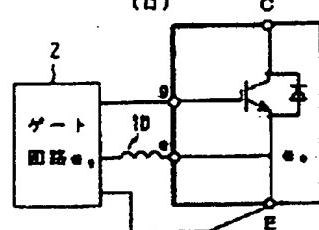
[図3]



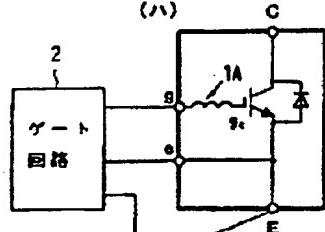
四〇



(口)



八



५४

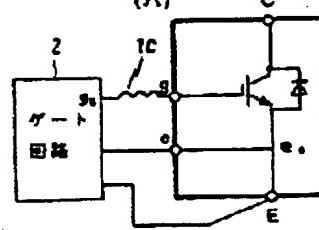
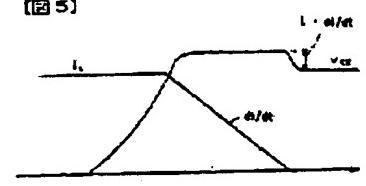
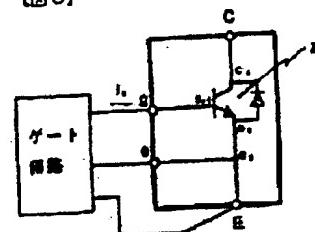


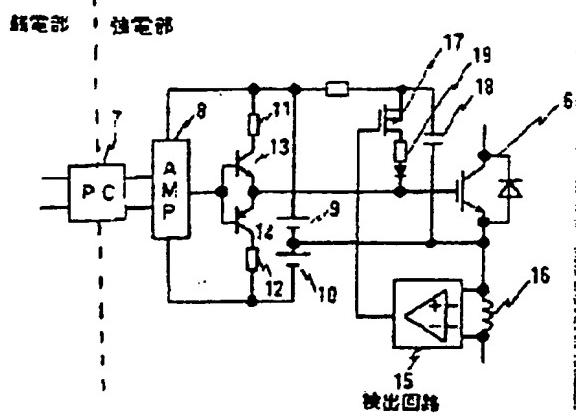
图 5



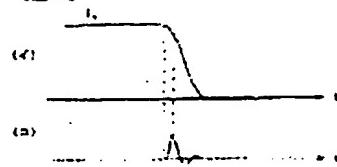
四三八



[回 6]



{四〇}



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.